

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-115713

(43)Date of publication of application : 16.04.1992

(51)Int.Cl.

H03K 5/00

H03M 1/10

(21)Application number : 02-235193

(71)Applicant : YAMAHA CORP

(22)Date of filing : 05.09.1990

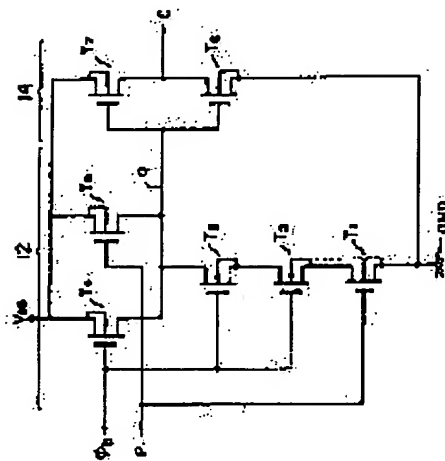
(72)Inventor : KADAKA TAKAYUKI  
 MOTOME MITSUHIRO  
 HIRANO MASAZO  
 KISHII TATSUYA  
 MORITA KUNIAKI  
 HOSHI JURO

## (54) SYNCHRONIZING CIRCUIT

## (57)Abstract:

PURPOSE: To obtain a pulse output with much less noise by interposing 2nd and 3rd transistors(TRs) turned on in response to a synchronizing pulse with a narrower pulse width than that of a data pulse in series between an output terminal and a 1st TR turned on in response to the data pulse.

CONSTITUTION: With a digital signal (P) set to '1', TR T1 is turned on and a TR T6 is turned off, a clock signal  $\phi$  goes to '1' and then TRs T2, T3 are turned on and a TR T4 is turned off. Then the signals P,  $\phi$  go both to '1', the TRs T1-T3 are all turned on and an output Q goes to 0. In this case, the period when the output Q takes 0 depends on the pulse width of the signal  $\phi$ . The noise attended with a level change is blocked by the TRs T2, T3 in the off state even when the signal (P) 12 (when the TRs T2, T3 are turned off and the TR T4 is turned on) signal  $\phi$  and the noise does not appear at the output Q. Thus, a wave shaping output C with less noise is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平4-115713

⑮ Int. Cl.<sup>5</sup>H 03 K 5/00  
H 03 M 1/10

識別記号

V  
Z

庁内整理番号

7125-5J  
9065-5J

⑬ 公開 平成4年(1992)4月16日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 同期化回路

⑯ 特 願 平2-235193

⑰ 出 願 平2(1990)9月5日

⑱ 発 明 者	香 高 孝 之	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑱ 発 明 者	本 目 光 弘	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑱ 発 明 者	平 野 雅 三	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑱ 発 明 者	岸 井 達 也	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑱ 発 明 者	森 田 久 仁 昭	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑱ 発 明 者	星 十 郎	静岡県浜松市中沢町10番1号	ヤマハ株式会社内
⑲ 出 願 人	ヤマハ株式会社	静岡県浜松市中沢町10番1号	
⑳ 代 理 人	弁理士 伊 沢 敏 昭		

## 明 細 書

発明の名称 同期化回路

## 特許請求の範囲

- (a) データパルスに応じてオンする第1のトランジスタと、
- (b) 互いに同一導電形式の第2及び第3のトランジスタであって、前記第1のトランジスタに該第2のトランジスタが直列接続されると共に該第2のトランジスタに該第3のトランジスタが直列接続され、該第2及び第3のトランジスタが前記データパルスの持続期間中に該データパルスより持続期間の短い同期用パルスに応じて共にオンするものと、
- (c) 前記第3のトランジスタに接続された出力端子とをそなえ、

前記第1乃至第3のトランジスタがいずれもオンすることを条件として前記第2及び第3のトランジスタのオンタイミングに同期したパルス出力

を前記出力端子から取出すようにしたことを特徴とする同期化回路。

## 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は、ノイズの少ないパルス波形を必要とするDA又はAD変換装置等に用いるに好適な同期化回路に関するものである。

## 〔発明の概要〕

この発明は、データパルスに応じてオンする第1のトランジスタとデータパルスよりパルス幅の狭い同期用パルスに応じて共にオンする第2及び第3のトランジスタとを第2のトランジスタが第1及び第3のトランジスタで挟まれるようにして直列接続すると共に第3のトランジスタに出力端子を接続し、第1乃至第3のトランジスタがいずれもオンすることを条件として第2及び第3のトランジスタのオンタイミングに同期した低ノイズのパルス出力を出力端子から取出すようにしたものである。

## 〔従来の技術〕

従来、NANDゲートとしては、第6図に示すようにMOS型トランジスタを用いたものが知られている。

第6図において、 $M_1$ 、 $M_2$ はNチャンネルMOS型トランジスタ、 $M_3$ 、 $M_4$ はPチャンネルMOS型トランジスタである。一方の電位源（基準電位源）GNDと他方の電位源 $V_{DD}$ との間にはトランジスタ $M_3$ 、 $M_1$ 、 $M_2$ がこの記載の順に直列接続されており、トランジスタ $M_2$ にはトランジスタ $M_4$ が並列接続されている。トランジスタ $M_1$ 及び $M_2$ のゲート電極には第1のデジタル入力Xが供給されると共に、トランジスタ $M_3$ 及び $M_4$ のゲート電極には第2のデジタル入力Yが供給され、出力 $Z = \overline{X \cdot Y}$ はトランジスタ $M_1$ のドレイン側から取出されるようになっている。

入力Xが“1”になると、 $M_1$ がオンになると共に $M_2$ がオフとなり、入力Yが“1”になると、 $M_3$ がオンになると共に $M_4$ がオフとなる。

えられる。このようにすると、入力Xが“0”であるとき（ $M_1$ がオフで $M_2$ がオンのとき）、入力Yが“0”から“1”又はその逆に変化しても、レベル変化に伴うノイズはオフ状態のトランジスタ $M_1$ により阻止されて出力Zに現われない。従って、出力Zとしては、低ノイズのものが得られる。

しかし、この場合には、入力Yが“1”（ $M_3$ がオン）のとき入力Xが“1”から“0”に立下る（ $M_1$ がターンオフする）のに伴い第3図Qに破線Lで示すように出力振動（リングング）が生ずる。このように出力振動が生ずるのは、GNDにつながる電源ラインの電位が $M_1$ のターンオフに伴ってゆらぐことと、 $M_1$ のターンオフ時に $M_1$ のバックゲートドレイン間接合容量 $C_1$ を介して変位電流が流れることとによるものである。また、出力Zに生じたしのような振動は、第6図のNANDゲートの次段にインバータ等が存在する場合、次段に伝達され、次段出力も振動を含むようになる。

そして、入力X及びYが共に“1”になると、トランジスタ $M_1$ 及び $M_3$ が共にオンするので、出力が“0”となる。

## 〔発明が解決しようとする課題〕

第6図のNANDゲートを用いて同期化回路を構成する場合、入力Xとして例えば第3図Pに示すようなデータパルスを供給し、入力Yとして例えば第3図φ<sub>0</sub>に示すようにデータパルスよりパルス幅の狭い同期用パルスを供給すればよい。

しかしながら、このような構成では、入力Yが“0”であるとき（ $M_3$ がオフで $M_4$ がオンのとき）入力Xのレベルが“0”から“1”又はその逆に変化すると、その電位変動がゲートドレイン間容量 $C_1$ を介してドレイン側に伝達されるため、例えば第3図Qに破線N<sub>1</sub>～N<sub>2</sub>で示すように出力Zにノイズが生ずる不都合がある。

このような不都合を解消するため、上記したのとは反対に入力Xとして第3図φ<sub>0</sub>に示すような同期用パルスを供給すると共に入力Yとして第3図Pに示すようなパルスを供給することが考

この種の振動は、ノイズ増大を招くので好ましいものではなく、特にパルス出力のDA変換器のように高精度のパルス出力を必要とする機器にあっては誤差要因となるので極めて具合が悪い。

この発明の目的は、低ノイズのパルス出力が得られる新規な同期化回路を提供することにある。

## 〔課題を解決するための手段〕

この発明による同期化回路は、

- (a) データパルスに応じてオンする第1のトランジスタと、
- (b) 互いに同一導電形式の第2及び第3のトランジスタであって、前記第1のトランジスタに該第2のトランジスタが直列接続されると共に該第2のトランジスタに該第3のトランジスタが直列接続され、該第2及び第3のトランジスタが前記データパルスの持続期間中に該データパルスより持続期間の短い同期用パルスに応じて共にオンするものと、

(c) 前記第3のトランジスタに接続された出力端子とをそなえ、

前記第1乃至第3のトランジスタがいずれもオンすることを条件として前記第2及び第3のトランジスタのオンタイミングに同期したパルス出力を前記出力端子から取出すようにしたことを特徴とするものである。

#### 〔作用〕

この発明の構成によれば、データパルス及び同期用パルスが共に例えば“1”になると、第1乃至第3のトランジスタがいずれもオンし、第2及び第3のトランジスタのオンタイミングに同期したパルス出力が得られる。このパルス出力のパルス幅は、例えば同期用パルスのパルス幅に対応させてもよいし、あるいはデータパルスのパルス幅に対応させてもよい。

ところで、同期用パルスが“0”で第2及び第3のトランジスタがオフのときデータパルスが“0”から“1”又はその逆に変化すると、その電位変動が第1のトランジスタの出力側に伝達さ

れることがある。しかし、第1のトランジスタと出力端子との間には第2及び第3のトランジスタがオフ状態で介在しているので、データパルスのレベル変化に伴うノイズは第2及び第3のトランジスタで阻止されて出力端子まで達しない。従って、出力端子からは、ノイズの少ないパルス出力が得られる。

また、データパルスが“1”で第1のトランジスタがオンのとき、同期用パルスが“1”から“0”に変化すると、出力端子に近い第3のトランジスタと出力端子から遠い第2のトランジスタとが同時にターンオフする。このとき、第3のトランジスタのPN接合容量を介した変位電流のパスは第2のトランジスタにより遮断される。従って、出力端子においてパルス出力には振動が生ずることがなくなり、一層の低ノイズ化を達成できる。

#### 〔実施例〕

第1図は、この発明をリターンゼロ出力型の波形整形回路に適用した一実施例を示すものであ

る。

Dフリップフロップ10は、デジタル入力INをクロック信号 $\phi_c$ に同期して取込み、送出するもので、その出力としてのデジタル信号Pは、NANDゲート12に供給され、同期用クロック信号 $\phi_c$ に応じて波形整形される。NANDゲート12からの波形整形出力Qは、インバータ14で反転されてから出力Cとして送出される。

第2図は、第1図の回路におけるゲート・インバータ部をMOS型トランジスタで構成した一例を示すもので、この例の回路は、集積回路化するのに適している。

第2図において、 $T_1 \sim T_4$ 、 $T_5$ はNチャンネルMOS型トランジスタ、 $T_6$ 、 $T_7$ 、 $T_8$ はPチャンネルMOS型トランジスタである。NANDゲート12は、一方の電位源（基準電位源）GNDと他方の電位源 $V_{DD}$ との間にトランジスタ $T_1 \sim T_4$ を直列接続すると共にトランジスタ $T_5$ にトランジスタ $T_6$ を並列接続することにより構成されている。トランジスタ $T_1$ 及び $T_2$

のゲート電極にはデジタル信号Pが供給されると共に、トランジスタ $T_3 \sim T_4$ のゲート電極にはクロック信号 $\phi_c$ が供給され、出力Qはトランジスタ $T_5$ のドレイン側から取出されるようになっている。トランジスタ $T_1$ 及び $T_2$ のバックゲートは破線のように結線してもよい。

インバータ14は、電位源GND及び $V_{DD}$ の間にトランジスタ $T_6$ 及び $T_7$ を直列接続することにより構成されている。トランジスタ $T_6$ 及び $T_7$ のゲート電極にはNANDゲート12の出力Qが供給され、インバータ14の出力Cはトランジスタ $T_8$ のドレイン側から取出されるようになっている。

デジタル信号P及びクロック信号 $\phi_c$ としては、第3図に示すように互いに同期がとられ且つ信号Pより信号 $\phi_c$ のパルス幅を狭くしたものが供給される。信号Pが“1”になると、 $T_1$ がオンになると共に $T_2$ がオフになり、信号 $\phi_c$ が“1”になると、 $T_3$ 、 $T_4$ がオンになると共に $T_5$ がオフになる。そして、信号P及び $\phi_c$ が共

に“1”になると、 $T_1 \sim T_3$  がいずれもオンとなり、出力Qが第3図に示すように“0”となる。この場合、出力Qが“0”状態をとる期間の長さは、信号 $\phi_0$ のバルス幅で規定される。

第2図に示したNANDゲート12にあっては、信号 $\phi_0$ が“0”であるとき( $T_1$ 、 $T_3$  オフ且つ $T_2$  オンのとき)、信号Pのレベルが“0”から“1”又はその逆に变化しても、レベル变化に伴うノイズ(第3図Qにて破線 $N_1 \sim N_3$ で示すもの)は、オフ状態の $T_1$ 、 $T_3$  で阻止され、出力Qに現われない。従って、波形整形出力Cとしては、ノイズの少ないものを得ることができる。

また、NANDゲート12においては、信号P及び $\phi_0$ が共に“1”のとき出力Qが“0”である。この状態にて例えば信号 $\phi_0$ が第3図に示すように“1”から“0”に変化すると、 $T_1$  がオンのままで $T_2$ 、 $T_3$  がオフする。このとき、 $T_1$  はオン、 $T_2$  はオフである。従って、出力Qは、第3図に示すように“0”から“1”に立上

る。このとき $T_2$  を設けてなければ第3図Lのように出力Qに振動が生ずるが、この発明の教示に従って $T_2$  を $T_1$  に直列に接続して $T_1$ 、 $T_2$  を同時にターンオフさせるようにすると、 $T_2$  の遮断作用によりLのような振動発生を防止できる。

出力Qに振動が生じないから、インバータ出力Cとしても第3図に示すように振動のない低ノイズのものが得られる。

なお、第2図の回路では、NANDゲート12の電源系を前段のフリップフロップ10の高ノイズ電源系から分離してインバータ14の電源系と共通にすると共に、インバータ14を複数段より低ノイズの単一段としており、これらの工夫も波形整形出力Cの低ノイズ化のために役立っている。

第1図乃至第3図に関して前述した波形整形回路は、低ノイズのバルス出力が得られるものであるから、ノイズの少ないバルス波形を必要とする回路装置、例えばオーバーサンプリング型DA変換装置、積分型DA変換装置、積分型AD変換装置等に応用すると高精度の出力を得ることができる。

る。ここでは、一例としてオーバーサンプリング型DA変換装置にこの発明の波形整形回路を応用するものとし、その応用例の構成及び動作を第4図及び第5図について説明する。

第4図において、30はマルチビットのデジタル入力DIをオーバーサンプリングするデジタルフィルタ、32はデジタルフィルタ30からのマルチビットのデジタル信号Aをデルタシグマ変調(微積分処理)することによりビット数の低下したデジタル信号Bを送出するノイズシェーバ(デルタシグマ変調器)、34はノイズシェーバ32からのデジタル信号Bを構成するパルスを同期用クロック信号に応じて波形整形する波形整形回路、36は周波数 $f_0$ を有するシステムクロック信号 $\phi_0$ を発生するクロック発生器、38は回路34からのバルス出力Cを平滑して入力DIに対応したアナログ出力AOに変換するローパスフィルタ(LPF)である。

一点鎖線ICで取囲んだ回路部は、モノリシック又はハイブリッド形式の集積回路として構成さ

れ、1パッケージ内に配置されるもので、36はクロック発生器36に対して外付けされる水晶振動子である。場合によっては、デジタルフィルタ30及びその関連部分(破線で囲んだ部分)も含めて集積回路化が行なわれる。

デジタル入力DIは、一例として各サンプル毎に16ビット(1ワード)のデータを含む波形データであり、データ送付周波数は44.1kHzである。また、システムクロック信号 $\phi_0$ の周波数は、16.9MHzであり、デジタルフィルタ30からノイズシェーバ32へのデータ送付周波数は、通常 $f_0/2$ (例えば8.45MHz)である。

ノイズシェーバ32は、オーバーサンプリングDA変換においてオーバーサンプリング周波数を下げるために設けられたものである。ノイズシェーバ32として1次又は2次のノイズシェーバを用いた場合には、ノイズシェーバ出力Bとしてバルス密度変調(ビットストリーム)出力が得られ、3次以上のノイズシェーバを用いた場合には出力Bとしてバルス幅変調出力が得られる。

ノイズシェーバ32では、ディジタル信号がビット数を下げた表現に変換されるが、このような変換によって生ずる誤差は、高い周波数領域ほど大きくなる。

ノイズシェーバ出力Bには、ディジタル処理を受けた際のゆらぎにより理想状態に諸々のノイズが加わっているため、出力Bを直接L P F 38でアナログ出力に変換するとノイズ成分により誤差が生ずる。そこで、ノイズシェーバ出力Bを波形整形回路34でシステムクロック信号 $\phi_b$ に基づいて波形整形してからL P F 38に供給することによりノイズ成分による誤差を軽減している。

波形整形回路34として第1図及び第2図に示したものをを用いた場合、Dフリップフロップ10からは、例えば第5図Pに示すようなデータ出力がクロック信号 $\phi_b$ に同期して送出される。そして、NANDゲート12では、データ出力Pとクロック信号 $\phi_b$ とをNAND演算することにより波形整形が行なわれ、ゲート12からは、第5図Qに示すようなデータ出力が送出される。ゲート12の出力

Qは、単一段のインバータ14で反転され、第5図Cに示すようなデータ出力として送出される。このデータ出力Cは、前述したようにノイズが少ないものであり、回路34の出力CとしてL P F 38に供給され、アナログ出力A Oに変換される。従って、アナログ出力A OのS/N比は向上する。

#### [発明の効果]

以上のように、この発明によれば、データパルスに応じてオンする第1のトランジスタと出力端子との間にデータパルスよりパルス幅の狭い同期用パルスに応じてオンする第2及び第3のトランジスタを直列に介在させ、データパルスのレベル変化に伴うノイズが出力端子に現われるのを第2及び第3のトランジスタで阻止すると共に、第2及び第3のトランジスタのターンオフ時に第3のトランジスタのPN接合容量を介した変位電荷のバスを第2のトランジスタで遮断するようにしたので、出力端子からは、極めてノイズの少ないパルス出力が得られる効果がある。

#### 図面の簡単な説明

第1図は、この発明を波形整形回路に適用した一実施例を示す回路図、

第2図は、第1図の回路におけるゲート・インバータ部の構成を示す回路図、

第3図は、第2図の回路の動作波形を示す回路図、

第4図は、この発明の波形整形回路を使用するD A変換装置を示すブロック図、

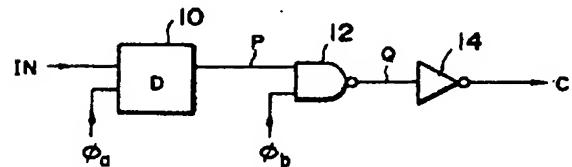
第5図は、波形整形回路34の動作波形を示す波形図、

第6図は、従来のNANDゲートを示す回路図である。

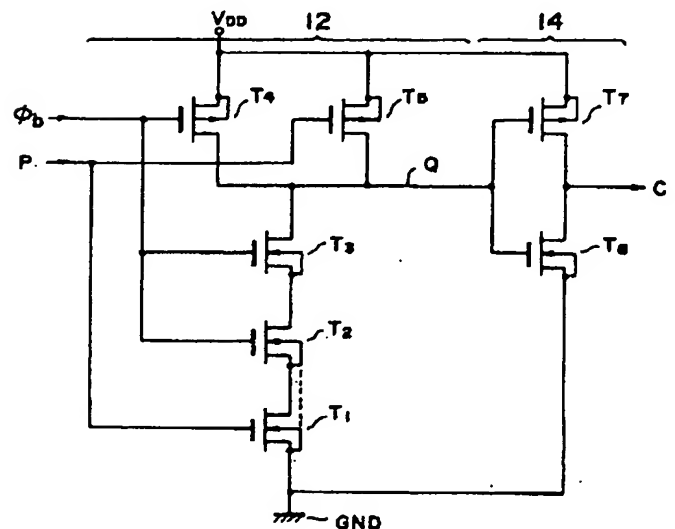
10…Dフリップフロップ、12…NANDゲート、14…インバータ、 $T_1 \sim T_7$ …MOS型トランジスタ。

出願人 ヤマハ株式会社

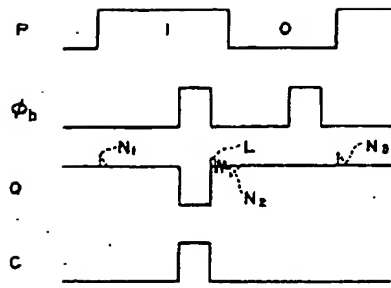
代理人 弁理士 伊沢敏昭



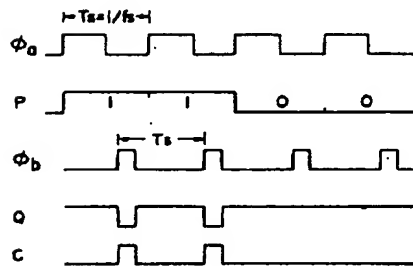
第1図(一実施例)



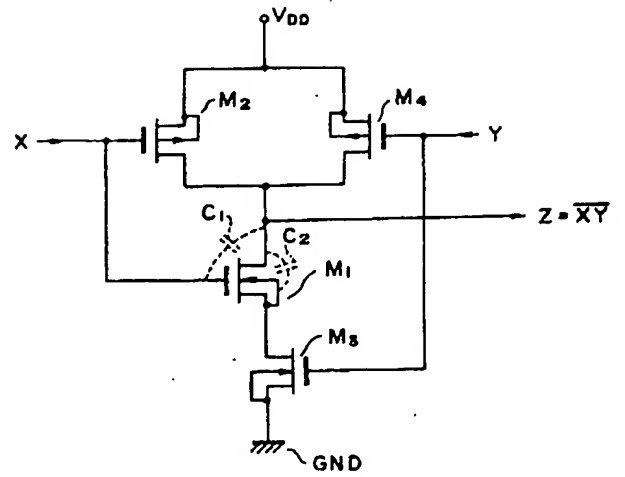
第2図(ゲート・インバータ部の構成)



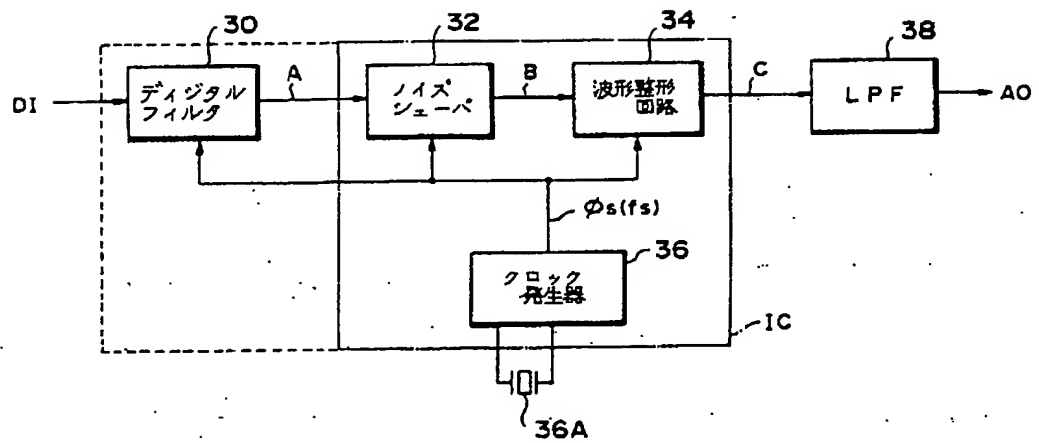
第 3 図 (動作波形)



第 5 図 (図 34 の動作波形)



第 6 図 (従来の NAND ゲート)



第 4 図 (DA 変換装置)